

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010395501 **Image available**

WPI Acc No: 1995-296814/ 199539

XRPX Acc No: N95-225055

Mfg. surface conduction-type electron emitting element, e.g. cold cathode
electron source - by irradiating AC electric field, or EM wave to
conductive thin film and destroying or deforming conductive thin film
locally to it **NoAbstract**

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7192611	A	19950728	JP 93345927	A	19931224	199539 B

Priority Applications (No Type Date): JP 93345927 A 19931224

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7192611	A	6		H01J-009/02	

THIS PAGE BLANK (USPTO)

DIALOG(R) File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04900011 **Image available**
MANUFACTURE OF ELECTRON EMITTING ELEMENT

PUB. NO.: 07-192611 [J P 7192611 A]
PUBLISHED: July 28, 1995 (19950728)
INVENTOR(s): MITOME MASANORI
OKUDA MASAHIRO
ASAI AKIRA
MATSUTANI SHIGEKI
SUGIOKA HIDEYUKI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 05-345927 [JP 93345927]
FILED: December 24, 1993 (19931224)
INTL CLASS: [6] H01J-009/02
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes)

ABSTRACT

PURPOSE: To complete a forming process in a short time simultaneously relating to a plurality of elements, in a method whereby the forming process of the electron emitting element can be performed without directly applying voltage and allowing a current to directly flow in an element wire.

CONSTITUTION: Electrodes 5, 6 and a conductive thin film 2 are formed on an insulating substrate 1, and by locally destructing and deforming or denaturing this conductive thin film, an electron emitting part is formed. An AC electric field and AC magnetic field or electromagnetic wave are applied as an external field to the conductive thin film 2 by an irradiating means 7, to locally destruct and deform or denature this conductive thin film.

THIS PAGE BLANK (USPTO)

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-192611
 (43) Date of publication of application : 28.07.1995

(51) Int.CI. H01J 9/02

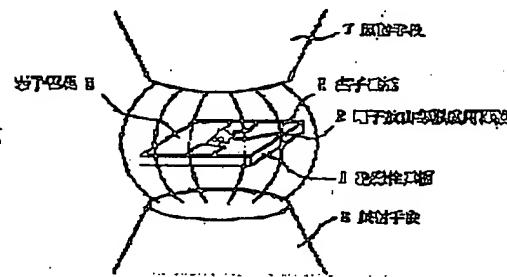
(21) Application number : 05-345927 (71) Applicant : CANON INC
 (22) Date of filing : 24.12.1993 (72) Inventor : MITOME MASANORI
 OKUDA MASAHIRO
 ASAI AKIRA
 MATSUTANI SHIGEKI
 SUGIOKA HIDEYUKI

(54) MANUFACTURE OF ELECTRON EMITTING ELEMENT

(57) Abstract:

PURPOSE: To complete a forming process in a short time simultaneously relating to a plurality of elements, in a method whereby the forming process of the electron emitting element can be performed without directly applying voltage and allowing a current to directly flow in an element wire.

CONSTITUTION: Electrodes 5, 6 and a conductive thin film 2 are formed on an insulating substrate 1, and by locally destructing and deforming or denaturing this conductive thin film, an electron emitting part is formed. An AC electric field and AC magnetic field or electromagnetic wave are applied as an external field to the conductive thin film 2 by an irradiating means 7, to locally destruct and deform or denature this conductive thin film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-192611

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.⁶
H 0 1 J 9/02

識別記号 庁内整理番号
B

F I

技術表示箇所

審査請求 未請求 請求項の数3 FD (全6頁)

(21)出願番号

特願平5-345927

(22)出願日

平成5年(1993)12月24日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 三留 正則

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 奥田 昌宏

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 浅井 朗

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 弁理士 渡辺 徳廣

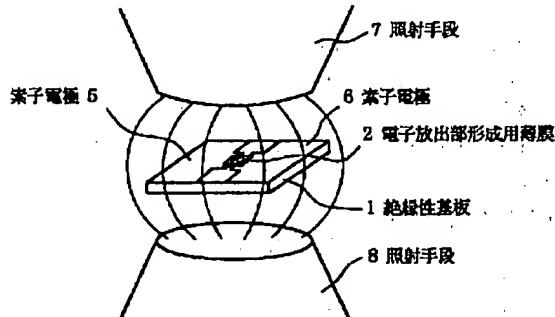
最終頁に続く

(54)【発明の名称】 電子放出素子の製造方法

(57)【要約】 (修正有)

【目的】 素子配線に電圧を直接印加したり、電流を直接流すことなく電流放山素子のフォーミング処理が可能で、複数の素子に対して同時に短時間でフォーミング処理を完了することができる電子放出素子の製造方法を提供する。

【構成】 絶縁基板1上に電極5、6および導電性薄膜2を形成し、該導電性薄膜を局所的に破壊、変形もしくは変質せしめることによって電子放出部を形成させる電子放出素子の製造方法において、前記導電性薄膜に、外場として交流電場、交流磁場もしくは電磁波を照射して該導電性薄膜を局所的に破壊、変形もしくは変質せしめる電子放出素子の製造方法。



【特許請求の範囲】

【請求項1】 絶縁基板上に電極および導電性薄膜を形成し、該導電性薄膜を局的に破壊、変形もしくは変質せしめることによって電子放出部を形成させる電子放出素子の製造方法において、前記導電性薄膜に、外場として交流電場、交流磁場もしくは電磁波を照射して該導電性薄膜を局的に破壊、変形もしくは変質せしめることを特徴とする電子放出素子の製造方法。

【請求項2】 照射する交流電場、交流磁場もしくは電磁波の周波数が1THz以下であることを特徴とする請求項1記載の電子放出素子の製造方法。

【請求項3】 交流電場、交流磁場もしくは電磁波を照射すると同時に導電性薄膜に電流を流すことを特徴とする請求項1記載の電子放出素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表面伝導型電子放出素子の製造方法に関するものである。

【0002】

【従来の技術】 従来、電子放出素子としては、熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子源には電界放出型（以下FEと略す）、金属／絶縁層／金属型（以下MIMと略す）や表面伝導型電子放出素子（以下SCEと略す）等がある。

【0003】 FE型の例としては、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) およびC. A. Spindt, "Physical properties of thin film-field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等が知られている。

【0004】 MIM型の例としては、C. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 32, 646 (1961) 等が知られている。

【0005】 SCE型の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10 (1965) 等がある。

【0006】 SCEは基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。

【0007】 この表面伝導型電子放出素子（SCE）としては、前記エリンソン等によるSnO₂薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、In₂O₃/SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 50

(1975)]、カーボン薄膜によるもの[荒木久他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0008】 これらの表面伝導型電子放出素子の典型的な素子構成として前述のM. ハートウェルの素子構成を図5に示す。同図において1は絶縁性基板である。2は電子放出部形成用薄膜で、スパッタで形成されたH型形状の金属酸化物薄膜等からなり、後述のフォーミングと呼ばれる通電処理により電子放出部3が形成される。また、図中のLはおよそ0.5mm~1mm、素子の幅Wは約0.1mmである。なお、4は電子放出部を含む薄膜と呼ぶ。

【0009】 従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に電子放出部形成薄膜2を予めフォーミングと呼ばれる通電処理によって電子放出部3を形成するのが一般的であった。即ち、フォーミングとは、前記電子放出部形成用薄膜2の両端に電圧を印加通電し、電子放出部形成用薄膜を局的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部3を形成することである。尚、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生し、その亀裂付近から電子放出が行なわれる場合もある。以下、フォーミングにより形成した電子放出部を含む電子放出部形成用薄膜を電子放出部を含む薄膜4と呼ぶ。

【0010】 また、このフォーミング処理を均一に、制御性良く、かつ短時間に行なう方法として、赤外光又はレーザー光を照射することによって局的に加熱すると共に素子に通電する方法がある（特開昭64-19657号公報）。この方法によると、多数の素子に対して同時にフォーミング処理を施した際の、素子間でのばらつきを少なく抑えることができるほか、素子設計、製造プロセス設計の自由度をも大きくすることができる。

【0011】 前記フォーミング処理をした表面伝導型電子放出素子は上述の電子放出部を含む薄膜4に電圧を印加し、素子表面に電流を流すことにより、上述の電子放出部3より電子を放出せしめるものである。

【0012】

【発明が解決しようとする課題】 しかしながら、上記の様な従来の表面伝導型電子放出素子における通電によるフォーミング処理には次の様な問題点があった。1) フォーミング処理前の電子放出部形成薄膜2は連続膜となっていることから、この薄膜を局的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にするためには、フォーミング後に電子放出をさせるために必要となる電流量よりもはるかに多くの電流量を必要とする。このため、素子配線はフォーミング処理時に流れる電流量に耐えうるような厚さ、大きさに設計する必要が生じ、素子設計上の大きな制約となっている。2) パネル上に複数の表面伝導型電子放出素子を配置し利用する場合、生産プロセスを短時間で完了するために、複数の素子を

同時にフォーミングすることが必要となる。しかし、複数の素子に対して同時にフォーミング処理を施そうとしたとき、大変大きな電流を外部から供給することが必要となり、フォーミング処理に伴う過剰なジュール熱や大電流に伴う現象（磁場の発生、電極材料のマイグレーションなど）が素子に悪影響（絶縁性基板1の裂傷など）を生じる。

【0013】以上のような問題点があるため、（表面伝導形）電子放出素子は、素子構造が簡単であるという利点があるにもかかわらず、産業上積極的に応用されるには至っていないかった。

【0014】本発明は、この様な従来技術の問題点を解決するためになされたものであり、素子配線に電圧を直接印加したり、電流を直接流すことなく、または電流を流しても小電流の通電で電子放出素子のフォーミング処理が可能であり、また複数の素子に対して同時にフォーミング処理を施す場合でも、短時間で処理を完了することができ、素子設計および製造プロセスに大幅な自由度を与えることができる電子放出素子の製造方法を提供することを目的とするものである。

【0015】

【課題を解決するための手段】すなわち、本発明は、絶縁性基板上に電極および導電性薄膜を形成し、該導電性薄膜を局所的に破壊、変形もしくは変質せしめることによって電子放出部を形成させる電子放出素子の製造方法において、前記導電性薄膜に、外場として交流電場、交流磁場もしくは電磁波を照射して該導電性薄膜を局所的に破壊、変形もしくは変質せしめることを特徴とする電子放出素子の製造方法である。

【0016】以下、本発明を詳細に説明する。図1は、本発明の電子放出素子の製造方法の一実施態様を示す概略図である。同図に示す様に、本発明の電子放出素子の製造方法は、絶縁性基板1上に素子電極5、6および電子放出部形成用薄膜2を形成した素子の外部から、交流電場、交流磁場もしくは電磁波の照射手段7、8により、該電子放出部形成用薄膜2に、周波数1THz以下、好ましくは1MHz～30GHzの交流電場、交流磁場もしくは電磁波を照射することによって、素子電極5と6の間に交流電流もしくは渦電流を誘起させ、素子配線に電流を流すこと並びに素子に電圧を直接印加することなく、外部から素子配線を通じて電流を供給したときと同等な電流を電子放出部形成用薄膜2に流し、その結果としてこの薄膜を局所的に破壊、変形もしくは変質せしめ、電子放出部3を形成する。この際、素子電極5と6の間に誘起される電流が充分でない場合には、素子電極5と6を通じて微小な電流を流しても構わない。

【0017】本発明におけるフォーミング処理方法が適応できる表面伝導形電子放出素子としては、電子放出部形成用薄膜の材料およびその形成方法、電極材料およびその形成方法と形状などに対して一切制限はない。

【0018】また、本発明において、素子の外部から照射する交流電場、交流磁場もしくは電磁波の周波数は、素子電極5と6および電子放出部形成用薄膜2の形状と大きさによって決定される、特定の共鳴周波数を用いた場合がもっとも効率がよい。しかし、この共鳴周波数を計算から求めることは多くの場合容易ではなく、実験的に各種周波数でのフォーミング状態を観べたうえで、最適値を見つけだす方が一般的である。

【0019】また、交流電場、交流磁場もしくは電磁波の発生方法、照射方法にも特に制限はない。一般には、前記共鳴周波数と同じ共鳴周波数を有する空洞共振器を用いた場合が効率的である。

【0020】

【実施例】以下に実施例を挙げ、本発明を更に詳述する。

【0021】実施例1

本実施例の電子放出素子として図2（a）、（b）に示すタイプの電子放出素子を作成した。図2は本発明の方法により製造された電子放出素子の一実施例を示す概略構成図である。図2（a）は電子放出素子の平面図を、図2（b）はB-B線断面図を示す。また、図2（a）、（b）中の1は絶縁性基板、5および6は素子に電圧を印加するための素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。なお、図中のL1は素子電極5と素子電極6の素子電極間隔、W1は素子電極の幅、dは素子電極の厚さ、W2は素子の幅を示す。

【0022】図3を用いて、本実施例の電子放出素子の製造方法を述べる。絶縁性基板1とし石英基板を用い、これを有機溶剤により充分に洗浄後、該絶縁性基板1面上に、ニッケルからなる素子電極5、6を形成した（図3（a）参照）。この時、素子電極間隔L1は3μmとし、素子電極の幅W1を500μm、その厚さdを10.00Åとした。

【0023】次に、有機バラジウム（奥野製薬（株）製、ccp-4230）含有溶液を塗布した後、300℃で10分間の加熱処理をして、酸化バラジウム（PdO）微粒子（平均粒径：70Å）からなる微粒子膜を形成し、電子放出部形成用薄膜2とした（図3（b）参照）。

【0024】ここで電子放出部形成用薄膜2は、その幅（素子の幅）Wを300μmとし、素子電極5と6のほぼ中央部に配置した。また、この電子放出部形成用薄膜2の膜厚は100Å、シート抵抗値は5×10⁴Ω/□であった。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態（島状も含む）の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0025】本実施例では、この素子の2つの電極をリ

ード線によって短絡した状態で、図1に示す様に、照射手段7, 8として電磁コイルを用いて、該電磁コイルの間に素子を挿入し、基板に垂直な方向に交流磁場を印加してフォーミング処理を試みた。このとき、交流磁場の周波数は60MHz、磁場の強さは3000Gauss、照射時間は3分間とした。その結果、両電極間の電気抵抗は10MΩ以上となり、フォーミング処理が完了した。このフォーミング処理の後、光学顕微鏡で見るかぎり、素子電極が損傷している様子は全く見られなかつた(図3(c)参照)。

【0026】さらに、この素子に真空容器内で、図4に示すような矩形のパルス電圧を印加したところ、素子からの電子放出が観察され、電子放出素子として機能することが確認された。

【0027】実施例2

本実施例では、表面伝導型電子放出素子をパネル上に複数配置し、ディスプレーとして応用する場合のことを鑑みて、絶縁性基板1(石英基板)上に複数の素子を形成した試料において、これらの素子に同時にフォーミング処理を施した例について述べる。

【0028】絶縁性基板1として石英基板を用い、素子電極5および6として金を用いた。また、電子放出部形成用薄膜2には、実施例1と同様に有機パラジウムを加熱処理して得られたPdO微粒子膜を用いた。電極および電子放出部形成用薄膜の形成方法は、実施例1と同様である。

【0029】本実施例では、素子の配線は短絡せずそのまま空洞共振器内に挿入し、この空洞共振器に接続された導波路を通して、周波数24GHz、出力50Wのマイクロ波を1分間導入した。その結果、複数の全素子が電気的に高抵抗な状態へ変化しフォーミング処理が施された。また、各素子に実施例1と同様な矩形のパルス電圧を印加したところ、全素子から電子放電が観察された。

【0030】実施例3

本実施例では、素子に対してマイクロ波を照射すると同時に、素子電極を通じて微弱な電流を素子に流した場合の例について述べる。本実施例では、実施例1で用いた素子を用いた。この素子を本実施例では空洞共振器の中に入れ、周波数10GHz、出力10Wのマイクロ波を導入した。この場合、マイクロ波の導入だけでは、電子放出部形成用薄膜2を破壊、変形もしくは変質するには至らなかつた。

【0031】この状態で、素子電極5と6の間に1Vの電圧を印加し、電子放出部形成用薄膜2に数mA程度の電流を流したところ、両電極間の電気抵抗は10MΩ以上となりフォーミング処理が完了した。

【0032】実施例4

本実施例では、交流電場を用いた場合について述べる。実施例1で述べた素子と全く同じ素子を、図6のように、1cmの距離をもつて並べた2枚の平板電極7aおよび8aの間に挿入し、この平板電極間に20MHz電圧100Vの交流電圧を印加することによって、素子に交流電場を照射した。

【0033】この場合、交流電場を照射しただけでは、素子をフォーミングするには至らず、加えて、素子電極を通して数mAの電流を流したときに初めて、素子を電気的に高抵抗な状態にすことができ、フォーミング処理が完了した。この素子に、図4に示したようなパルス電圧を印加したところ、素子からの電子放出が観察された。

【0034】

【発明の効果】以上説明したように本発明により、以下のような効果が得られる。

- 1) 素子配線に電圧を直接印加したり、多大な電流を直接流すことなく、または電流を流しても小電流の通電で電流放出素子のフォーミング処理が可能となる。延いては、素子配線の厚さおよび大きさを、素子に電子放出させるに必要な電流量に耐えうるような程度に抑えることができ、素子設計に大幅な自由度を与えることができる。
- 2) また、複数の素子に対して同時にフォーミング処理を施す場合でも、短時間で処理を完了することができる。したがって、製造プロセスに対して自由度を与えることになる。

【図面の簡単な説明】

【図1】本発明の電子放出素子の製造方法の一実施態様を示す概略図である。

【図2】本発明の方法により製造された電子放出素子の一実施例を示す概略構成図である。

【図3】本発明の電子放電素子の製造方法の一例を示す概略図である。

【図4】電子放出をさせるために素子に印加したパルス電圧を示す図である。

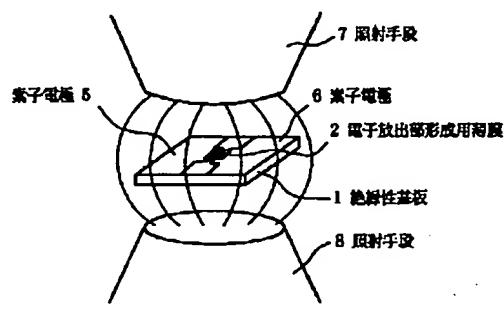
【図5】従来の電子放出素子を示す概略構成図である。

【図6】本発明の電子放出素子の製造方法の一実施態様を示す概略図である。

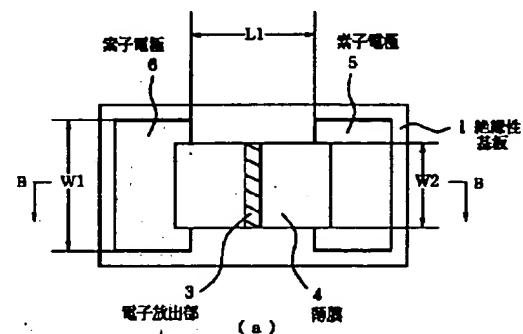
【符号の説明】

- 1 絶縁性基板
- 2 電子放出部形成用薄膜
- 3 電子放出部
- 4 電子放出部を含む薄膜
- 5, 6 素子電極
- 7, 8 交流電場、交流磁場もしくは電磁波の照射手段
- 7a, 8a 平板電極

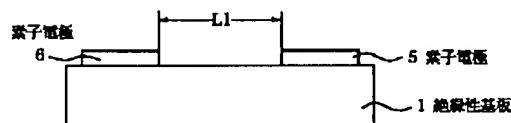
【図1】



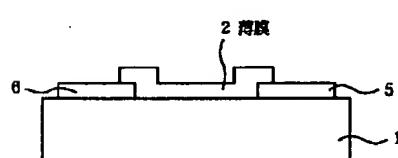
【図2】



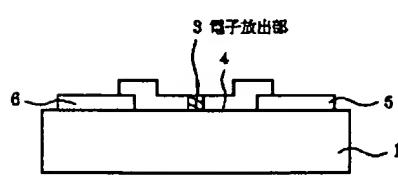
【図3】



(a)

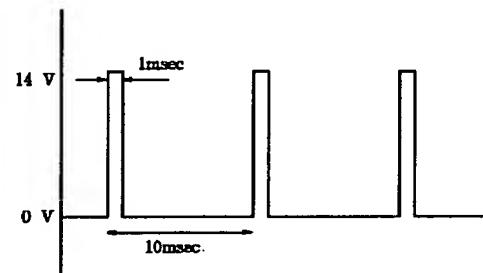


(b)

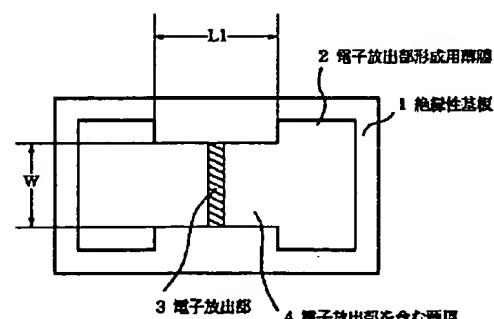


(c)

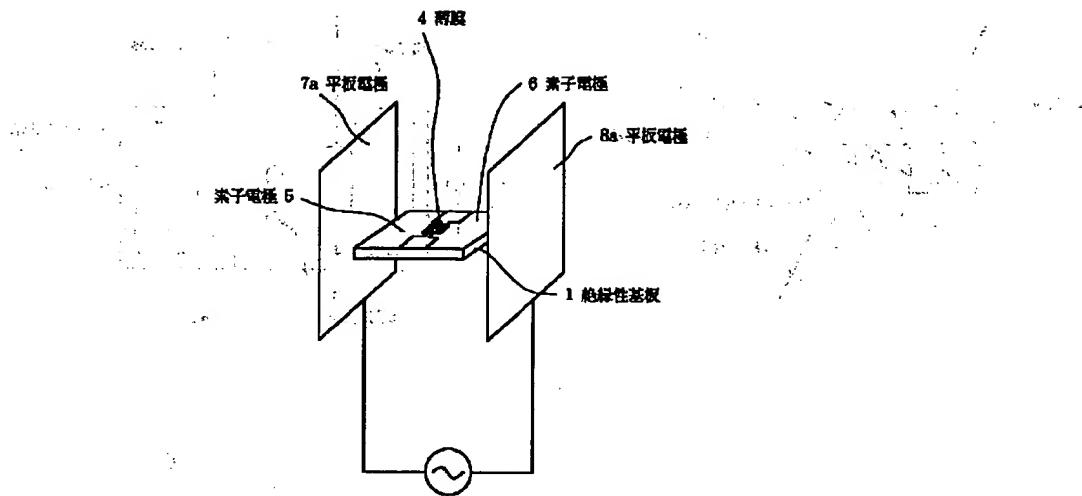
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 松谷 茂樹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 杉岡 秀行

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内